

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Norio FUKASAWA et al

Serial Number: 09/029,608

Group Art Unit: 2814

Filed: May 15, 1998

Examiner: Graybill, D.

For: **METHOD AND MOLD FOR MANUFACTURING SEMICONDUCTOR DEVICE;  
SEMICONDUCTOR DEVICE AND METHOD FOR MOUNTING THE DEVICE**

**INFORMATION DISCLOSURE STATEMENT WITH STATEMENT  
PURSUANT TO 37 CFR 1.97(d)**

Commissioner for Patents  
Washington, D.C. 20231

January 18, 2002

Sir:

The attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached Form PTO-1449. One copy of each of these documents is attached along with a Korean Office Action issued on December 12, 2001.

This Information Disclosure Statement is submitted after the mailing of a final action, a Notice of Allowance, or an action that otherwise closes prosecution in the application, but on or before payment of the Issue Fee.


The undersigned hereby states that each item of information contained in this statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.

The above information is presented so that the Patent and Trademark Office can, in the first instance, determine any materiality thereof to the claimed invention. See 37 CFR 1.104(a) concerning the PTO duty to consider and use any such information. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the documents cited in the attached Form PTO-1449 be made of record therein and appear on the first page of any patent to issue therefrom.

A check is attached hereto which covers the \$ 180.00 fee set forth in 37 CFR § 1.17(p). The Commissioner is hereby authorized to charge any additional fee (or credit any overpayment) associated with this Statement to our Deposit Account No. 01-2340. Two copies of this authorization are attached.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Stephen G. Adrian  
Attorney for Applicants  
Reg. No. 32,878

Atty. Docket No. 980233  
1725 K Street, N.W., Suite 1000  
Washington, DC 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357

Enclosures: PTO-1449, 3 References and Korean Office Action  
Enclosure: \$180.00 fee

발송번호 : 9-5-2001-034864372

수신 : 서울 강남구 대치3동 942 해성빌딩 11층

발송일자 : 2001.12.12

문두현 귀하

제출기일 : 2002.02.12

135-725

## 특허청

# 의견제출통지서

출원인

명칭 후지쯔 가부시끼가이샤 (출원인코드: 519980964415)

주소 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

대리인

성명 문두현 외 2 명

주소 서울 강남구 대치3동 942 해성빌딩 11층

출원번호

10-2001-7010597

발명의 명칭

반도체 장치의 제조 방법, 반도체 장치 및 그 실장 구조

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도로 기간연장승인통지는 하지 않습니다.)

이 출원의 특허청구범위 제1항내지 제10항 및 제14항내지 제21항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아 래]

1. 본원발명에서 청구항 제1항내지 제10항은 반도체 장치의 제조방법에 관한 것으로서, "가요성 기체에 복수의 반도체 소자 및 상기 복수의 반도체 소자에 대응하는 리드가 형성된 구성의 배선기판을 금형 내에 장착하고, 복수의 반도체 소자의 설치 위치에 밀봉수지를 공급하여 반도체 소자를 수지 밀봉하는 수지 밀봉 공정과, 배선기판에 형성된 리드와 전기적으로 접속하도록 돌기전극을 형성하는 돌기전극 형성공정, 그리고 복수의 반도체 소자를 수지 밀봉하는 수단으로서 압축 성형법을 사용하는 것"에 특징이 있는 바, 이는 일본공개특허공보 평6-151487호 (94.05.31자 공개, 이하 "인용참증1")의 기술내용 중 "반도체 칩 위에 복수개의 전극이 형성되어 있고 상기 전극 위에는 복수개의 범프가 형성되어 있으며 수지로 상기 반도체 칩을 밀봉할 때 상기 범프 주변의 수지 높이가 상기 범프의 높이와 거의 동일하게 유지하고 또한 범프의 선단부를 밀봉수지 밖으로 노출" 및 일본공개특허공보 평6-318609호(94.11.15자 공개, 이하 "인용참증2")의 기술내용 중 "전극과 금형 사이에 필름을 배설하고, 금형이 상기 필름을 거쳐서 밀봉수지와 접속", 그리고 본원의 압축성형법과 같은 기술인 "가압성형기술"의 내용과 그 구성에 있어서 유사하며 목적과 효과에 있어서도 예측가능한 것이므로 이 분야에서 통상의 지식을 가진 자라면 본원 청구항 제1항내지 제10항은 상기 인용참증 1 및 인용참증 2의 조합에 의하여 용이하게 발명할 수 있는 것으로 인정됩니다.

2. 본원의 청구항 제14항내지 제21항은 반도체 장치에 관한 것으로서 "단수 또는 복수의 반도체 소자와, 상기 반도체 소자의 일부 또는 전부를 밀봉하는 밀봉수지와, 상기 밀봉수지내에 설치되고, 상기 반도체 소자와 전기적으로 접속하는 동시에 일부가 적어도 상기 밀봉수지의 측면에 노출되어 외부 접속단자를 형성하는 전극판을 구비하는 것"에 특징이 있는 바, 이는 일본공개특허공보 평6-151487호 (94.05.31자 공개, 이하 "인용참증1")의 기술내용 중 "반도체 칩 위에 복수개의 전극이 형성되어 있고 상기 전극 위에는 복수개의 범프가 형성되어 있으며 수지로 상기 반도체 칩을 밀봉할 때 상기 범프 주변의 수지 높이가 상기 범프의 높이와 거의 동일하게 유지하고 또한 범프의 선단부를 밀봉수지 밖으로 노출" 및 일본공개특허공보 평5-55278호(93.03.05자 공개, 이하 "인용참증3")의 기술내용 중 "표면상에 돌기전극이 형성되어 있는 반도체 소자, 돌기전극의 선단부를 남기고 돌기전극을 밀봉하는 수지층, 반도체 소자와 전기적으로 접속하고 일부가 밀봉수지의 측면에 노출되어 외부 접속단자를 형성하는 배선판"의 내용과 그 구성에 있어서 유사하며 목적과 효과에 있어서도 예측가능한 것이므로 이 분야에서 통상의 지식을 가진 자라면 본원 청구항 제14항내지 제21항은 상기 인용참증 1 및 인용참증 3의 조합에 의하여 용이하게 발명할 수 있는 것으로 인정됩니다.

[이유]

[첨부]

- 첨부 1 일본공개특허공보 평6-151487호 사본 1부
- 첨부 2 일본공개특허공보 평6-318609호 사본 1부
- 첨부 3 일본공개특허공보 평5-55278호 사본 1부

끝.

2001. 12. 12

특허청

심사4국

반도체1 심사담당관실

심사관 송원선



<<안내>>

문의사항이 있으시면 ☎ 042-481-5735 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정 구현을 위하여 청선을 다하고 있습니다. 만약 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터



CARD NO: 07724

U.S. Patent Application      Docket No: 980233  
Serial No: 09/029,608      Filed: 05/15/98  
Patent Number:      Issued:  
Applicant(s): FUKASAWA, ET AL

Papers filed herewith on: 01/18/02

Fees: \$ 180.00

Other: IDS; PTO-1449 w/ J refs.; Korean Office Action;

Amendment After Final Rejection w/ Adv. Peking



*Publication*

COMMISSIONER OF PATENTS

Receipt is hereby acknowledged of the papers filed as indicated  
in connection with the above-identified case.

SGA/ARF



NO POSTAGE  
NECESSARY  
IF MAILED  
IN THE  
UNITED STATES

**BUSINESS REPLY MAIL**

FIRST CLASS MAIL    PERMIT NO. 18612    WASHINGTON, DC

POSTAGE WILL BE PAID BY ADDRESSEE

LAW OFFICES  
ARMSTRONG, WESTERMAN, HATTORI,  
MCLELAND & NAUGHTON  
SUITE 1000  
1725 K STREET NW  
WASHINGTON DC 20077-2501

